

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-135842

(43)Date of publication of application : 22.05.1998

(51)Int.Cl.

H03M 7/40

H04N 7/24

(21)Application number : 09-274847

(71)Applicant : SAMSUNG ELECTRON CO LTD

(22)Date of filing : 07.10.1997

(72)Inventor : SON JAE-CHEOL

(30)Priority

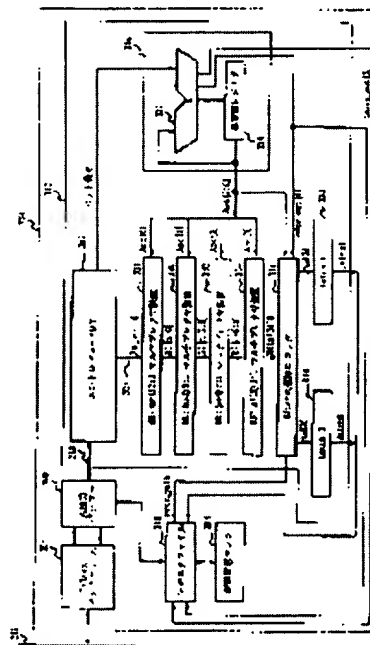
Priority number : 96 731338 Priority date : 18.10.1996 Priority country : US

(54) SYSTEM FOR LINING UP VARIABLE LENGTH CODE DATA STREAM POSITION

(57)Abstract:

PROBLEM TO BE SOLVED: To efficiently line up variable length codes in the state of a roughly/ densely packed format at the position of a data stream by providing an accumulator resist, a multi-end data processing module, etc., and lining up variable length code words with previously fixed bit length.

SOLUTION: The accumulator resist 324 accumulates length information of a variable length code bit. An adder device 322 adds length information of accumulated variable length code bits and a present variable bit code length. An arithmetic module receives a variable length code bit length signal previously fixed to each variable length code word. An input node receiving an n-bit signal including the variable code word and length information of the accumulated variable length code bits is provided. The multi-end data processing module lines up the n-bit signals within an m-bit signal, which is provided with the same number of spacing bits as length information of the accumulated variable length code bits preceding to the n-bit signal.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination] 25.12.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3488058

[Date of registration] 31.10.2003

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-135842

(43) 公開日 平成10年(1998) 5月22日

(51) Int. Cl. ⁶

識別記号

F I

H03M 7/40

H03M 7/40

H04N 7/24

H04N 7/13

Z

審査請求 未請求 請求項の数12 OL (全13頁)

(21) 出願番号 特願平9-274847

(22) 出願日 平成9年(1997)10月7日

(31) 優先権主張番号 731, 338

(32) 優先日 1996年10月18日

(33) 優先権主張国 米国 (US)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 孫 在▲チオル▼

アメリカ合衆国・カリフォルニア・95014

・クパティノ・パークウッド・ドライブ・

1・10250

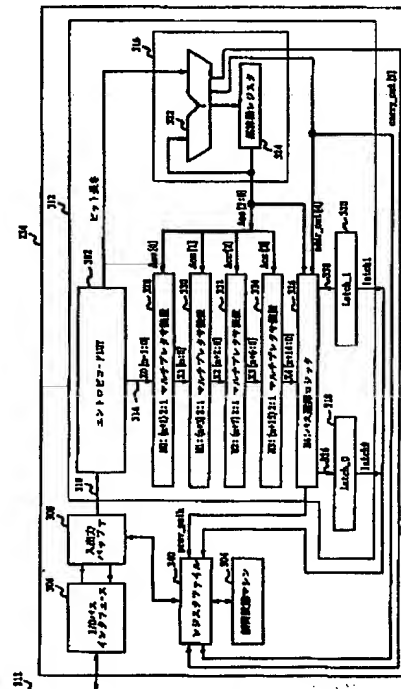
(74) 代理人 弁理士 志賀 正武 (外1名)

(54) 【発明の名称】 可変長コードデータストリーム位置整列のためのシステム

(57) 【要約】

【課題】 可変長コードをデータストリーム位置に効果的に整列させるシステムの提供。

【解決手段】 エントロピコードルックアップテーブルは入力データを処理し、スペースビット無しに二つの16ビットラッチにバッキングされたエントロピコードワード及びビット長信号を有するエントロピコードワードの両側にスペースビットを有する32ビット信号に変換されたnビット出力信号を提供する。前記32ビット出力信号の任意の残余ビットは論理ゼロに設定される。現在エントロピコードワードが32ビット出力信号に適切に整列された状態でバス選択ロジック装置は累算されたサイズ情報及び単項デコーダを用いて16ビット出力信号を形成する。前記残余ビットは現在エントロピコードワードの最上位ビットの論理値に設定される。算術装置はバッキングされた未伝送エントロピコードワードのビット数を決定する。



【特許請求の範囲】

【請求項1】 それぞれ予め定められたビット長さを有する可変長コードワードを貯蔵装置に整列するための装置において、

可変長コード位置整列モジュールは、可変長コードビットの長さ情報を累算する累算器レジスタ及び累算された可変長コードビットの長さ情報と現在の可変ビットコード長さを合算する加算機を有し、各可変長コードワードに対する予め定められた可変長コードビット長さ信号を受信する算術モジュールと、

可変長コードワードを含む n ビット信号を受信するための入力ノードと累算された可変長コードビットの長さ情報を受信するための入力ノードを有し、 m ビット信号内で n ビット信号を整列し、整列された m ビット信号は前記 n ビット信号に先行する前記累算された可変長コードビットの長さ情報と同一数のスペーシングビットを有する多端データ処理モジュールとを備えてなることを特徴とする装置。

【請求項2】 前記貯蔵装置と、該貯蔵装置及び前記多端データプロセッシングモジュールの出力ノードに結合されるバス選択モジュールをさらに備え、

前記バス選択モジュールは整列された m ビット信号を前記貯蔵装置の任意の未伝送内容と結合でき、前記 m ビット信号の最上位非スペーシングビットが貯蔵装置で任意の未伝送の可変長コードワードを従うことを特徴とする請求項1記載の装置。

【請求項3】 前記貯蔵装置が、第1及び第2ラッチと、算術装置にさらに結合されるバス選択モジュールと、前記第1及び第2ラッチの中でいずれのラッチが未伝送の可変長コードワード内容を含むか追加に決定し、未伝送可変長コードワード内容を m ビット信号と結合できるバス選択ロジックとを含むことを特徴とする請求項2記載の装置。

【請求項4】 可変長コード位置整列モジュールを含むマルチメディアマルチプロセッサシステムをさらに備えることを特徴とする請求項1記載の装置。

【請求項5】 前記可変長コードワードはMPEG-1、MPEG-2、H. 261又はH. 263から構成されるグループの標準により特定されることを特徴とする請求項1記載の装置。

【請求項6】 データ処理システムの貯蔵装置にそれぞれ予め定められたビット長さを有する可変長コードワードを整列させる方法において、

前記可変長コードワードのビット長さを示す信号 bit_length を受信する段階と、

前記受信された信号 bit_length から既に貯蔵された可変長コードワードのビット長さ情報を累算する段階と、

可変長コードワードを示す n ビット入力信号を受信する段階と、

前記可変長コードワードに先行する x スペーシングビットを有する m ビット信号内で前記可変長コードワードを整列する段階（ここで、 x は前記累算されたビット長さ情報に該当する）と、

前記 m ビット信号の最下位 $m-x$ ビットと前記貯蔵装置の最上位 x ビットの内容を結合する段階とをさらに備えることを特徴とする方法。

【請求項7】 前記結合段階が、前記 m ビット信号と前記貯蔵装置の内容をマルチプレックシングする段階と、累算されたビット長さ情報に対応する選択信号を発生する段階と、

前記貯蔵装置の未伝送内容の最上位 x ビットと前記 m ビット信号の最上位 $m-x$ ビットを選択する段階とを備えることを特徴とする請求項6記載の方法。

【請求項8】 前記 m ビット信号の結合された最下位 $m-x$ ビットと前記貯蔵装置の最上位 x ビット内容を前記貯蔵装置に貯蔵する段階を更に備えることを特徴とする請求項6記載の方法。

【請求項9】 前記貯蔵装置は $m-1$ ビット貯蔵装置であり、 $m-n-1$ オーバフロービットを第2貯蔵装置に貯蔵する段階を更に備えることを特徴とする請求項6記載の方法。

【請求項10】 前記選択信号を発生する段階は前記累算されたビット長さ情報を単項デコーディングする段階を更に備えることを特徴とする請求項6記載の方法。

【請求項11】 各可変長コードワードは最大 n ビットを有することを特徴とする請求項6記載の方法。

【請求項12】 累算されたビット長さ情報を4ビット累算データ信号 $Acc[3:0]$ に二進エンコーディングする段階をさらに備え、

前記整列段階は、 n ビット入力信号を第1信号処理段階に印加する段階と、

もし $Acc[0]$ がゼロであれば $n+1$ ビット信号の最上位ビットを占有する前記 n ビット入力信号を前記 $n+1$ ビット信号内に整列させる段階と、

前記 $n+1$ ビット入力信号を第2信号処理段階に印加する段階と、

もし $Acc[1]$ がゼロであれば $n+3$ ビット信号の最上位ビットを占有する前記 $n+1$ ビット入力信号を前記 $n+3$ ビット信号内に整列させる段階と、

前記 $n+3$ ビット入力信号を第2信号処理段階に印加する段階と、

もし $Acc[2]$ がゼロであれば $n+7$ ビット信号の最上位ビットを占有する前記 $n+3$ ビット入力信号を前記 $n+7$ ビット信号内に整列させる段階と、

前記 $n+7$ ビット入力信号を第2信号処理段階に印加する段階と、

もし $Acc[3]$ がゼロであれば $n+15$ ビット信号の最上位ビットを占有する前記 $n+7$ ビット入力信号を前

記 $n+15$ ビット信号内に整列させる段階と、を備えることを特徴とする請求項6記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は信号処理に係り、特にビットストリーム符号化動作、より詳しくは可変長コードを粗密にパックされたフォーマット状態でデータストリーム位置に効果的に整列させることに関する。

【0002】

【従来の技術】広い帯域幅伝送能力の出現と高速処理応用および装置の実行と共に嵩の大きい情報量を含むデータ伝送がよく発生されていた。大規模データ伝送の裏面に隠れている原動力のうち一つは増加するマルチメディア動作の使用である。たとい、プロセッサの計算力がずっと迅速に発展してきたとしても、次第に増加するデータ量のディスプレイ及び遂行を必要とするマルチメディア分野において活力のある新たな応用の開発に起因してより迅速な処理力及び計算効率の要求が軽減されていない。伝送、受信および処理限度に関連した情報量を調節するために、情報を圧縮及び伸張する用途の多様な圧縮標準が幅広く使われている。ビデオデータに対して広く公認され使用される圧縮及び伸張標準としては国際標準化機構/国際電気協議会(ISO/EIC)動画専門家グループ(MPEG)のMPEG-1及びMPEG-2標準と、米国の国際電気通信連合(ITU-T)のH.261およびH.263標準がある。

【0003】前記MPEG-1、MPEG-2、H.261およびH.263標準は適切な圧縮比を達成することを助けるために可変長コード("VLC")ワードを広範囲に亘って利用する。一般に、VLCワードは通常ハフマンテーブルまたはエントロピコードテーブルと称されるテーブルにより特徴される。

【0004】

【発明が解決しようとする課題】可変長コードを粗密にパックされたフォーマット状態でデータストリーム位置に効率よく整列させるシステムを提供する。

【0005】

【課題を解決するための手段】本発明の一実施形態において、それぞれ予め定められたビット長さを有する可変長コードワードを貯蔵装置に整列するための装置において、可変長コード位置整列モジュールは、可変長コードビットの長さ情報を累算する累算レジスタ及び累算された可変長コードビットの長さ情報と現在の可変ビットコード長さを合算する加算機を有し、各可変長コードワードに対する予め定められた可変長コードビット長さ信号を受信する算術モジュールと、可変長コードワードを含む n ビット信号を受信するための入力ノードと累算された可変長コードビットの長さ情報を受信するための入力ノードを有し、 m ビット信号内で n ビット信号を整列し、整列された m ビット信号は前記 n ビット信号に先行

する前記累算された可変長コードビットの長さ情報と同一数のスペーシングビットを有する多端データ処理モジュールとを備えてなることを特徴とする。

【0006】本発明の他の実施形態において、データ処理システムの貯蔵装置にそれぞれ予め定められたビット長さを有する可変長コードワードを整列させる方法において、前記可変長コードワードのビット長さを示す信号`bit_length`を受信する段階と、前記受信された信号`bit_length`から既に貯蔵された可変長コードワードのビット長さ情報を累算する段階と、可変長コードワードを示す n ビット入力信号を受信する段階と、前記可変長コードワードに先行する x スペーシングビットを有する m ビット信号内で前記可変長コードワードを整列する段階(ここで、 x は前記累算されたビット長さ情報に該当する)と、前記 m ビット信号の最下位 $m-x$ ビットと前記貯蔵装置の最上位 x ビットの内容を結合する段階とをさらに備えることを特徴とする。

【0007】

【発明の実施の形態】以下、添付した図面に基づいて本発明の望ましい実施形態をより詳しく説明し、図面全体を通して同一な部分には同じ符号が付けてある。マルチメディア計算に対する積極的な要求はデータ処理の多様な方面に波及し、能率的且つ迅速なビットストリームのビット位置の割当動作及びエントロピコードのデータビットストリーム内の挿入動作を含むデータ処理効率の向上を必要とする。エントロピコードワードの"パッキング(packing)"は与えられた量の有用なデータを伝送するのに必要な帯域幅をエントロピコードの実際的使用による帯域幅増加分より更に減少させる。

【0008】エントロピコードワードは本質的に長さを変化し一般的に既定されたビットストリームのビット位置内に効果的に割り当て及び挿入できない。可変長データワードを含むデータパッキング動作に高能率的でかつ細かな接近をなすためには高速データパッキングが考慮される。また、データ伝送に先行してデータを貯蔵するためのラッチを用いることによりエントロピコードワードの能率的でかつ正確なパッキングが複雑になる。ラッチを採用することはエントロピコードワードのパッキング動作が続けられる間マルチメディア信号プロセッサ2000が処理資源が能率的に整列できるようにする。通常、ラッチビット貯蔵能力は最大のエントロピコードワードのビット長さを超過するので、その前に貯蔵されて使用されないデータを攪乱せずラッチに新しいエントロピコードのデータを成功的に記入するためには注意しなければならない。

【0009】しかも、複数のラッチを採用することは一般的に単一の統合ラッチより各ラッチが更に迅速に満たされるようにする。ちなみに、付加的なラッチはパッキング動作が引き続き減少されないようにしながら現在使用されるラッチからのオーバーフローを処理する。しか

し、複数のラッチを使用することはエントロピコードワードを正確にパッキングするために能率的で正確な調整を要する。さらに、直接回路技術を使用するマイクロチップ上に設けるときのマイクロチップ領域を能率的に使用することはマイクロチップの費用を軽減させ、付加的な機能を可能にする。結果的に、発生された信号のような利用可能な資源の多重的使用は有効なマイクロチップ資源利用を増大させ得る。

【0010】以下の資料は一実施形態でマルチメディア信号プロセッサ200を含むマルチメディア多重プロセッサシステム100の一般的な概観を提供し、前記マルチメディア信号プロセッサ200は三星半導体株式会社のマルチメディア信号プロセッサに関するMSPファミリー出願のうちいずれか一つである。付加的な細部事項に対しては、i) L. Nguyenを出願人として本出願と共に係留中である“マルチメディア信号プロセッサのマイクロプロセッサ動作(Microprocessor Operation in a Multimedia Signal Processor)”との発明の名称をもつ米国特許出願第xx/xxx, xxx号(弁理士参照番号M-4354)の出願明細書、ii) L. Nguyenを出願人として本出願と共に係留中である“マルチメディア信号プロセッサにおける単一命令多重データプロセッシング(Single-instruction-multiple-data Processing in a Multimedia Signal Processor)”との発明の名称をもつ米国特許出願第xx/xxx, xxx号(弁理士参照番号M-4355)の出願明細書、iii) L. Nguyenらを出願人として本出願と共に係留中である“ベクトルレジスタの多重バンクを使用する単一命令多重データプロセッシング(Single-instruction-multiple-data Processing Using Multiple Banks of Vector Register s)”との発明の名称をもつ米国特許出願第xx/xxx, xxx号(弁理士参照番号M-4369)の出願明細書、及びiv) M. Mohamedらを出願人として本出願と共に係留中である“結合されたスカラー/ベクトル動作を有する単一命令多重データプロセッシング(Single-instruction-multiple-data Processing with Combined Scalar/Vector Operations)”との発明の名称をもつ米国特許出願第xx/xxx, xxx号(弁理士参照番号M-4370)の出願明細書を参照することができ、前記米国特許出願明細書の全体的な内容は本発明で参照として引用される。

【0011】図1を参照すれば、上位レベルの概略的なブロック図はホストプロセッサ102及びマルチメディア信号プロセッサ200を含むマルチメディアマイクロプロセッサシステム100を示す。通常的なホストプロセッサ102はインテル社のPentium[®]またはPentium Pro[®]プロセッサのようなx86プロセッサである。ホストプロセッサ102は元々システムメモリ104及びキャッシュ105に保有された命令とデータに基づきプログラムを実行する。ホストプロセ

ッサ102はPCチップセット107及びPCIバスのようなシステムバス106を経由してマルチメディア信号プロセッサ200と通信する。

【0012】マルチメディア信号プロセッサ200はオーディオ及び電話通信を受信するためのオーディオ及び通信コーデック(CODEC)108、ビデオ入力信号を受信するためのビデオA/Dコンバータ110、ビデオ出力信号を伝送するためのビデオD/Aコンバータ112、そしてフレームバッファSDRAMメモリ114等のような各種機能ブロックにインタフェースされる。一実施形態において、前記信号プロセッサは三星半導体株式会社のマルチメディア信号プロセッサのMSP群(三星MSP)中の一つである。

【0013】図2を参照すると、概略的なブロック図はマルチメディアマルチプロセッサシステム100(図1)のマルチメディア信号プロセッサ200を示している。マルチメディア信号プロセッサ200は高速バス(FBUS)210を経由して複数のFBUS周辺機器にインタフェースされるデジタル信号プロセッサ(DSP)コア210を含む。前記複数のFBUS周辺機器は例えば、32ビットPCIバスインタフェース222、64ビットSDRAMメモリコントローラ226、8チャンネルDMAコントローラ220、ASICロジックブロック216、ホストプロセッサ102とフレームバッファSDRAMメモリ114間でデータを移送させるメモリデータ移送器224を含んでいる。PCIバスインタフェース222はシステムバス106にインタフェースし、例えば33MHzで動作する。ASICロジックブロック216は注文者機能を所望の通り遂行するための制御ロジックを提供する。

【0014】一実施形態において、前記ASICロジックブロック216は多様なアナログ圧縮/伸張(コーデック)及び注文型(customer-specific)I/O装置へのインタフェースを含む10Kゲートを提供する。メモリデータ移送器224は前記ホストプロセッサ102からのDMAデータをマルチメディア信号プロセッサ200の周辺機器であるSDRAMメモリ114に伝送する。DSPコアもI/Oバスを経て複数のI/Oバス装置にインタフェースする。前記複数のI/Oバス装置はたとえば8254-互換性のプログラム可能な間隔計時機構228、16450-互換性UARTシリアルライン230、8259-互換性プログラム可能なインタラプトコントローラ232、ビデオビットストリームを処理するためのビットストリームプロセッサ234を含む。

【0015】DSPコア201はマルチメディア信号プロセッサ200の計算エンジンであり、プロセッサ202、コプロセッサ204、キャッシュサブシステム208、高速バス(FBUS)210、I/Oバス212を含む。一実施形態で、前記プロセッサ202は文脈切換イネーブルリグエスト、実時間オペレーティングシステ

ム動作、インタラプトおよび例外事象処理、入/出力装置運営、ホストプロセッサ102との通信などのような総体的なプロセッシング機能を遂行する32ビットARM7TM RISCコントロールプロセッサである。一実施形態でプロセッサ202は40MHzで動作する。プロセッサ202はコプロセッサインタフェース206を通じてコプロセッサ204にインタフェースする。

【0016】プロセッサ202は一般的に例外事象に回答して例外事象処理を遂行するが、例外事象は命令処理の間一般的に発生される条件であって、実行制御流れを変更する原因となる。例外事象処理に関するより詳細な情報については、Songらを出願人として本出願と共に保留中である“引数通過によりソフトウェアインタラプトを処理するためのシステム及び方法(System and Method for Handling Software Interrupts with Argument Passing)”という発明の名称をもつ米国特許出願第xx/xxx, xxx号(弁理士参照番号:M-4366)の出願明細書、及びSongらを出願人として本出願と共に保留中である“非対称マルチプロセッサアーキテクチャーにおいてインタラプト及び例外事象を処理するためのシステム及び方法(System and Method for Handling Interrupt and Exception Events in a Asymmetric Multiprocessor Architecture)”という発明の名称をもつ米国特許出願第xx/xxx, xxx号(弁理士参照番号:M-4367)の出願明細書を参照することができ、前記米国特許出願明細書の全体的な内容は本発明で参照として引用される。

【0017】コプロセッサ204はマルチメディア信号プロセッサ200のデジタル信号処理エンジンである。一実施形態において、コプロセッサ204は三星MSP群のベクトルプロセッサである。ベクトルプロセッサとして、コプロセッサ204は単一命令複数データ構造をもち、離散コサイン変換(DCT)、FIRフィルタリング、畳み込み、ビデオモーション推定及び他のプロセッシング動作のような信号処理機能を遂行するために並列に多重データ要素に作用するパイプラインRISCエンジンを含む。コプロセッサ204はベクトルプロセッサ方式で複数のベクトル算術装置により多重データ要素が並列に演算されるベクトル算術を支援する。

【0018】コプロセッサ204はスカラー演算とベクトルスカラー結合演算の両方ともを遂行する。コプロセッサ204の多重データ要素はサイクル(例えば、12.5ns)当たり32個の8/9ビット固定小数点算術演算、16個の16ビット固定小数点算術演算、または8個の32ビット固定小数点または浮動小数点算術演算の速度で計算される576ビットベクトルでバックアップされる。大部分の32ビットスカラー演算はサイクル当たり一つの命令速度でパイプラインに送られることに対し、大抵の576ビットベクトル演算は2サイクル当たり一つの命令速度でパイプラインに送られる。ロードと貯蔵

動作は算術演算とオーバーラップされ、別途のロード及び貯蔵回路により独立的に実行される。

【0019】図3を参照すれば、ビットストリームプロセッサ234はマルチメディアマルチプロセッサシステム100の内部周辺機器の中で一つである。ビットストリームプロセッサ234は多様なビットストリームビデオデータの圧縮及び伸張を支援する特定のハードウェアロジックブロックである。特に、ビットストリームプロセッサ234はビットレベルのプロセッシングのために設計され、プロセッサ202またはコプロセッサ204の一方によりソフトウェア制御される独立的なプロセッシング装置として作用される。より詳しく、前記ビットストリームプロセッサ234はスライスまたはブロックグループ(GOB)層の下方に含まれた全ての情報を符号化及び復号化し、I/Oバス212を介して情報を受信しDSPコア201へ情報を伝送する。一般に、符号化されたビットストリームは適用された圧縮標準による開始コード、ヘッダパラメータ、及び圧縮されたデータを含む。

【0020】マルチメディア環境で、ビデオシーケンスは処理され、例えばパーソナルコンピュータ及び画像会議の装置上にディスプレイされる。一般的に、ビデオシーケンスは国際標準化機構及び国際電気協議会(ISO/IEC)及び米国の国際電気通信連合標準局(ITU-T)のH.261及びH.263標準のような複数のビデオ標準のうちいずれか一つを使用してコード化された圧縮ビットストリームの形態になる。MPEG-1、MPEG-2、H.261及びH.263は国際標準化機構及び国際電気協議会(ISO/IEC)、ISO/IEC連合技術委員会(JTC) 1/SC 29 N 0981(1995.3.31)(MPEG-2)、米国の国際電気通信連合標準局(ITU-T)のH.261勧告、ITU-T H.263勧告の国際標準で各々記述されるが、前記の全ての国際標準は全体的に参考として言及される。マルチメディアプロセッサシステム100が他の標準によってフォーマットされたビットストリームを処理するために改造できることが分かる。

【0021】図3を参照すると、ビットストリームプロセッサ234はマルチメディアマルチプロセッサ100の内部周辺機器の中の一つである。ビットストリームプロセッサ234は多様なビットストリームビデオデータの圧縮及び伸張を支援する特定ハードウェアロジックブロックである。特に、ビットストリームプロセッサ234はビットレベルのプロセッシングのために設計される。ビットストリームプロセッサ234は独立されたプロセッシング装置として作用し、プロセッサ202又はコプロセッサ204の一方によるソフトウェア制御の下にある。より詳しく、ビットストリームプロセッサ234はスライス又はブロックグループ(GOB)層以下に含まれた全ての情報を符号化及び復号化し、I/Oバス

212を通じてDSPコア201から情報を受信してDSPコア201へ情報を伝送する。

【0022】ビットストリームプロセッサ234はデータ符号化動作のためには出力データバッキングを遂行する。768×12ビットVLCルックアップテーブル読み取り専用メモリLUT302はすべてのエントロピコードプロセッシングのために必要な全ての情報を貯蔵する。制御状態マシン304は全ての符号化及び復号化活動を制御する。ビットストリームプロセッサ234に関するより詳しい情報については、C. Readerを出願人として“ビデオデータをプロセッシングするための方法および装置(Methods and Apparatus for Processing Video Data)”発明の名称をもつ米国特許出願第xx/x/x、xxx号(弁理士参照番号:M-4368)の出願明細書を参考することができ、前記米国特許出願明細書の全体的な内容は本発明で参考として引用される。特に、米国特許出願明細書の付録Aの10章、付録B、及び望ましい実施形態の説明を参照することができる。特に、付録BはLUT302の位相幾何学(topology)及び方法論(methodology)を説明している。

【0023】ビットストリームプロセッサ234がDSPコア201によりイネーブルされるとき、符号化のためのデータはI/Oバス212を経由してビットストリームプロセッサ234に入力され、I/Oバスインタフェース装置306及びI/Oバッファ308を経由したデータはデータバス310を経由してLUT302に入力される。情報はI/Oバス212、I/Oバスインタフェース装置306及びI/Oバッファ308間で両方向に伝送され得る。

【0024】図3を参照すると、能率的なバッキング動作を遂行するVLCデータストリーム位置整列モジュール312はVLCデータストリーム位置整列のためのシステムの一実施形態である。データがLUT302により処理された後、伝導バス314はnビットエントロピコード出力信号、即ちX0[n-1:0]を伝導する。nビット出力信号は望ましくマルチメディア信号プロセッサ200により支援されるエントロピコードデータの最大ビット長さのようなビット長さを有する。MPEG-1、MPEG-2、H. 261及びH. 263を支援するとき、nは17となる。エントロピコード出力信号(X0[n-1:0])の最上位ビット(MSBs)は現在エントロピコードワードを含み、任意の残りのビットは本実施形態でゼロであるスペーシング(間隔)ビットで満たされる。

【0025】LUT302は現在エントロピコードワードのビット長さを示す第2出力信号bit_lengthを含む。算術装置316はエントロピコードワードを能率的にバッキングするために現在エントロピコードワードの貯蔵動作に先行して存在する多数の未伝送ラッチビットの位置を貯蔵、すなわち記憶するためには信号b

it_lengthを利用する。また、算術装置316は信号bit_lengthを用いて現在エントロピコードの記入動作の結果として存在する多数の未伝送のラッチビットの位置を決定し、記入動作のために複数のラッチ中の一つを適切に選択し、圧縮されたエントロピコードワードにアクセスするための利用可能性を制御状態マシン304に通報する。

【0026】算術装置316は6ビット累算器レジスタ324の4ビット内容Acc[3:0]を信号bit_lengthと加算して累算器レジスタ324に四つの最下位ビット(LSBs)を貯蔵する6ビット加算機装置322を含む。よって、累算器レジスタ324の現在内容は累算されたエントロピコードワードのビット長さに基づいた15ビットまでのサイズ情報を示す。latch_0 318及びlatch_1 320のそれぞれはマルチプレクサ装置328、330、332、334及びバス選択ロジック326の動作に関連して、16ビットの信号Acc[3:0]を貯蔵し、信号Acc[3:0]はlatch_0 318及びlatch_1 320のうち現在選択されたラッチ上の未伝送ビット位置の数を示す。

【0027】加算機装置322の第5ビットはバス選択ロジック326及び制御状態マシン326に15個以上の未伝送バッキングエントロピコードワードのビットが発生されたことを通報する信号adder_out

[4]として出力される。加算機装置322の第6ビットは制御状態マシン304に31個以上の未伝送バッキングエントロピコードワードビットが発生されたことを通報する信号carry_out[5]として出力される。エントロピコードワードバッキング動作の初期に、累算器レジスタ324の信号adder_out [4]、及び信号carry_out[5]はゼロに初期化される。

【0028】エントロピコード出力信号X0[n-1:0]は選択されたビット位置整列状態で能率的なエントロピコードワードバッキングのために個々の入力信号を連続的に変換する2:1マルチプレクサ装置328、330、332、334を介して順次に流れる。累算器レジスタ324の出力信号ビットAcc[3:0]はマルチプレクサ装置334、332、330、328にそれぞれ入力信号として分配される。すなわち、マルチプレクサ装置334はAcc[3]を受信し、マルチプレクサ装置332はAcc[2]を受信するようになる。マルチプレクサ装置328、330、332、334のそれぞれは個々のエントロピコードワード出力信号であるエントロピコード出力信号X1[n:0]、エントロピコード出力信号X2[n+2:0]、エントロピコード出力信号X3[n+6:0]、及びエントロピコード出力信号X4[n+14:0]を含んでいる。マルチプレクサ装置328、330、332、334の入力信号及

び出力信号は表1により表される。

【表1】

	$X0[n-1:0]$ = 他の残り最下位ビット (LSBs) をゼロとする最上位ビット (MSBs) 内のエントロピコードワード
もし $Acc[0] = 1$ であれば	$X1[n]=0, X1[n-1:0]=X0[n-1:0]$
もし $Acc[0] = 0$ であれば	$X1[n:1]=X0[n-1:0], X1[0]=0$
もし $Acc[1] = 1$ であれば	$X2[n+2:n+1]=0, X2[n:2]=X1[n:0]$
もし $Acc[1] = 0$ であれば	$X2[n+2:2]=X1[n:2], X2[1:0]=0$
もし $Acc[2] = 1$ であれば	$X3[n+6:n+3]=0, X3[n+2:0]=X2[n+2:0]$
もし $Acc[2] = 0$ であれば	$X3[n+6:4]=X2[n+2:0], X3[3:0]=0$
もし $Acc[3] = 1$ であれば	$X4[n+14:n+7]=0, X4[n+6:0]=X3[n+6:0]$
もし $Acc[3] = 0$ であれば	$X4[n+14:8]=X3[n+6:0], X4[7:0]=0$

【0029】表1に示されるように、個々の入力信号は配置ビットの付加により変更されマルチプレクサ装置328、330、332、334を通過する。もしそれぞれの付加された累算器出力信号 $Acc[x]$ が1であれば、それぞれの付加された累算器出力信号 $Acc[3:0]$ の代表的なビット位置と同等な複数のゼロは個々のマルチプレクサ入力信号の最上位ビット (MSBs) に加算される。そうでなければ、前記ゼロは個々のマルチプレクサ入力信号に付加される。そうでなければ、個々の入力信号は変更無しにマルチプレクサ装置328、330、332、334を通過する。

【0030】算術装置316出力信号 $adder_out[4]$ と結合するバス選択ロジック326はバス選択ロジック326の出力信号 $packed_entropy_code$ の16個の最上位ビット (MSB) 及び16個の最下位ビット LSB をラッチするために適切な $latch_0$ 318または $latch_1$ 320を選択する。バス選択ロジック326は一般的に最も最近のエントロピコードパッキング演算の結果に基づいた最上位ビット (MSBs) を貯蔵するために $latch_0$ 318または $latch_1$ 320の間でトグルする。

【0031】算出装置316の6ビット出力信号は本実施形態で32ビットである $latch_0$ 318と $latch_1$ 320の結合大きさと同一な大きさにラッチされるように以前にラッチされたエントロピコードワードのビット長さに現在のエントロピコードワードのビット長さを加えたビット長さを示す。論理1に該当する信号 $adder_out[4]$ は未伝送のパッキングされたエントロピコードワードが15ビット以上発生することを示す。したがって、論理1に該当する信号 $adder_out[4]$ は出力信号 $packed_entropy_code$ の最上位16ビットを受信するラッチが満たされ、バス選択ロジック326が次のエントロピパッキング動作のために $latch_0$ 及び $latch_1$ にバスをトグルすることを示す。

【0032】一実施形態において、このエントロピコードパッキング動作は図4のバス選択ロジック326によ

り遂行される。エントロピコード出力信号 $X4[n+14:n-1]$ の最上位16ビットはビットワイズマルチプレクサ402の入力端に印加され、 $latch_0$ 318又は $latch_1$ 320中の一方の16ビットは選択信号 $prev_path$ により選択され、ビットワイズマルチプレクサ402の他の入力端に印加される。トグルスイッチ404はもし信号 $adder_out[4]$ が1であればすべての個々のエントロピコードワードのパッキング動作後選択信号 $prev_path$ の論理値をトグルする。つまり、個別的なエントロピコードワードのパッキング動作後信号 $adder_out[4]$ が1であればトグルスイッチ404は次の個別的なエントロピコードワードのパッキング動作のために選択信号 $prev_path$ の論理値をトグルするが、そうでなければ選択信号 $prev_path$ は変化しない。

【0033】一実施形態において、もし選択信号 $prev_path$ が0であればマルチプレクサ408は伝導バス412を介してビットワイズマルチプレクサ402の入力端へと $latch_0$ 318の内容を伝え、もし選択信号 $prev_path$ が1であればマルチプレクサ408は伝導バス412を介してビットワイズマルチプレクサ402の入力端へ $latch_1$ 320の内容を伝えてやる。また、もしも選択信号 $prev_path$ が0であれば、マルチプレクサ410は伝導バス412を介して16ビットマルチプレクサ402出力信号を $latch_0$ 318に伝え、エントロピコード出力信号 $X4[n+14:0]$ 、 $X4[(n-2):0]$ の最下位ビット (LSBs) は伝導バス338を介して $latch_1$ 320に伝えられる。もし選択信号 $prev_path$ が1であればマルチプレクサ410、マルチプレクサ402の出力信号は $latch_1$ 320に伝えられ、信号 $X4[(n-2):0]$ が $latch_1$ 320に伝えられる。結果的に、選択信号 $prev_path$ が変化する時、マルチプレクサ410による伝導バス336、338の選択も変化する。

【0034】単項デコーダ (unary decoder) 414は $Acc[3:0]$ に基づいて16ビットの単項デコード出

力信号を伝導バス406上に提供する。すなわち、1となる最上位単項デコード出力信号ビットの数は信号Acc[3:0]により現れる十進数と同じである。例えば、もしAcc[3:0]が1010bであれば、そのとき単項デコード出力信号は1111 1111 1100 0000b(ここで、bは二進数を指す)である。もし対応する単項デコード出力信号がゼロであればビットワイズマルチプレクサ402はエントロピコード出力信号X4[n+14:n-1]の一つのビットをマルチプレクサ410の入力として伝え、そうでなければ伝導バス412からの一つのビット信号を伝えてやる。

【0035】latch_0 318とlatch_1 320の一方または両方ともバッキングされた未伝送エントロピコードワードで充満すると、充満したラッチ(ら)の内容はレジスタファイル340によりアクセスされる。信号adder_out[4]、carry_out[5]及び選択信号prev_pathはレジスタファイル340のレジスタに記入される。1となるadder_out[4]はバッキングされた未アクセスのエントロピコードの15ビット以上が何時VLCデータストリーム位置整列モジュール312により発生されたかを示すので1になるadder_out[4]はラッチ318又はラッチ320の中のいずれかが一つが充満したことを示す。選択信号prev_pathは制御状態マシン304にラッチ318又はラッチ320のうち

いずれのものが満たされ、バッキングされたエントロピコードワードをレジスタファイル340に伝送する準備が整えられたかに対して通報する。

【0036】ラッチ318又はラッチ320が両方とも充満すると、加算機装置322の出力信号は100000bとなる。その後にcarry_out[5]は1となり、ラッチ318、320の両者が充満することを制御状態マシン304に通報する。もしnが17であればかかる状況はただラッチ318、320の中で一つの最上位ビットが充満すると、即ち未伝送エントロピコードワードのビットに占有されると発生し、次のエントロピコードワードは17ビット長さになる。そうでなければ、ラッチ318、320のうち一侧のラッチを満たすことに先行してラッチ318、320の中の充満したラッチの内容がレジスタファイル340に伝送される。ラッチ318、320の中で空いたラッチのみ、即ちエントロピコードワードを持っていないビットワード位置はバス選択ロジック326から記入されなければならない。VLCデータストリーム位置整列モジュール312はアクセスされないデータを保存するために完全に充満したラッチ318、320の中で一つまたは二つとも記入される前にディスエーブルされなければならない。

【0037】次はエントロピコードバッキング演算に対する一例であり、ここでnは17である。

第1エントロピコードワード=0000 0000 0101 011 大きさ=01111

Acc[3:0] = 0000 adder_out[5:0] = 01111 carry_out[5] = 0

X0 = 0000 0000 0101 011

X1 = 0000 0000 0101 0110 00

X2 = 0000 0000 0101 0110 0000

X3 = 0000 0000 0101 0110 0000 0000

X4 = 0000 0000 0101 0110 0000 0000 0000

unary decoder = 0000 0000 0000 0000

prev_path = 0

latch_0 = 0000 0000 0101 0110

(latch_0の最上位15ビットは充満し、最下位ビットは空けられる。)

latch_1 = 0000 0000 0000 0000

(latch_1の全てのビットは空けられる。)

【0038】

第2エントロピコードワード=0 0000 0000 0011 0111 大きさ=10001

Acc[3:0]=1111 adder_out[5:0]=00000 carry_out[5]=1

X0 = 0000 0000 0001 1011 1

X1 = 0000 0000 0001 1011 1

X2 = 0000 0000 0000 0011 0111

X3 = 0000 0000 0000 0000 0000 0001 1011 1

X4 = 0000 0000 0101 0110 0000 0000 0011 0111

unary decoder = 1111 1111 1111 1110

prev_path = 0

(adder_out[4]がゼロであるので、選択信号prev_pathは次のサイクル間トグルされない。)

15

16

```
latch_0 = 0000 0000 0101 011
```

0

(carry_out[5] = 1により指示されるようにlatch_0は充満し、内容はレジスタファイル340に伝送される準備状態になる。)

```
latch_1 = 0000 0000 0011 011
```

1

(carry_out[5] = 1により指示されるようにlatch_1は充満し、内容はレジスタファイル340に伝送される準備状態になる。)

【0039】

第3エン트로ピコードワード=0000 1011 大きさ=01000

```
Acc[3:0] = 0000   adder_out[5:0] = 01000   carry_out[5] = 0
```

```
X0 = 0000 1011 0000 0000 0
```

```
X1 = 0000 1011 0000 0000 00
```

```
X2 = 0000 1011 0000 0000 0000
```

```
X3 = 0000 1011 0000 0000 0000 0000
```

```
X4 = 0000 1011 0000 0000 0000 0000 0000 0000
```

```
unary decoder = 0000 0000 0000 0000
```

```
prev_path = 0
```

```
latch_0 = 0000 1011 0000 0000
```

(latch_0の最上位8ビットは満たされる。)

```
latch_1 = 0000 0000 0000 0000
```

(latch_1は空けられる。)

【0040】

第4エン트로ピコードワード=010 大きさ=00011

```
Acc[3:0] = 1000   adder_out[5:0] = 01011   carry_out[5] = 0
```

```
X0 = 0100 0000 0000 0000 0
```

```
X1 = 0100 0000 0000 0000 00
```

```
X2 = 0100 0000 0000 0000 0000
```

```
X3 = 0100 0000 0000 0000 0000 0000
```

```
X4 = 0000 0000 0100 0000 0000 0000 0000 0000
```

```
unary decoder = 1111 1111 0000 0000
```

```
prev_path = 0
```

```
latch_0 = 0000 1011 0100 0000
```

(latch_0の最上位11ビットは満たされる。)

```
latch_1 = 0000 0000 0000 0000
```

(latch_1は空けられる。)

【0041】

第5エン트로ピコードワード=0000 010 大きさ=00111

```
Acc[3:0] = 1011   adder_out[5:0] = 10010   carry_out[5] = 0
```

```
X0 = 0000 0100 0000 0000 0
```

```
X1 = 0000 0010 0000 0000 00
```

```
X2 = 0000 0000 1000 0000 0000
```

```
X3 = 0000 0000 1000 0000 0000 0000
```

```
X4 = 0000 0000 0000 0000 1000 0000 0000 0000
```

```
unary decoder = 1111 1111 1110 0000
```

```
prev_path = 0
```

(選択信号prefer_outは次のサイクルでトグルされる。)

```
latch_0 = 0000 1011 0100 0000
```

(latch_0は1となるadder_out[4]により指示され次第に満たされる。latch_0の内容はレジスタファイル340に記入される。)

latch_1 = 1000 0000 0000 0000

(latch_1 の最上位 2 ビットが満たされる。)

【 0042 】

【発明の効果】 本発明を特定の望ましい実施形態に関連して図示して説明したが、本発明はそれに限定されずこの発明の特許請求の範囲により設けられる本発明の精神や分野を離脱しない限度内で多様に改造及び変化できることが通常の知識を有する当業者なら容易に分かることができる。例えば、他の n 値が一例としてマルチプレクサ装置 328、330、332、334、ラッチ 31

【図面の簡単な説明】

【図1】 本発明によるマルチメディアマルチプロセッサシステムを示すハイレベルの概略的なブロック図。

【図2】 図1に示されているマルチメディアマルチプロセッサシステム内のマルチメディア信号プロセッサを示す概略的なブロック図。

【図3】 可変長コードデータストリームの位置整列モジュールを含む、図2のビットストリームプロセッサの

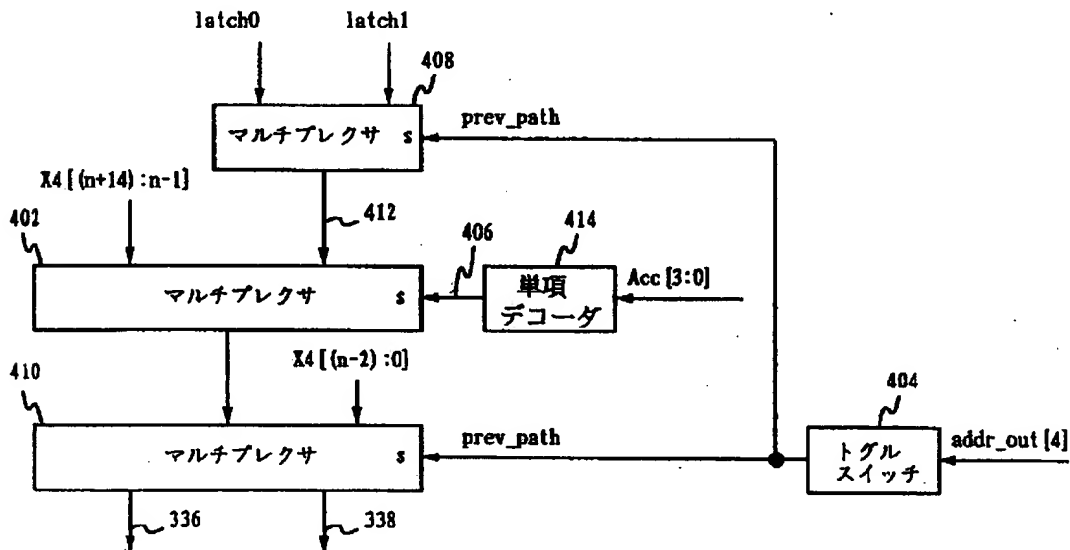
一実施形態を示す図。

【図4】 図3のビットストリームプロセッサのバス選択ロジック装置を示す図。

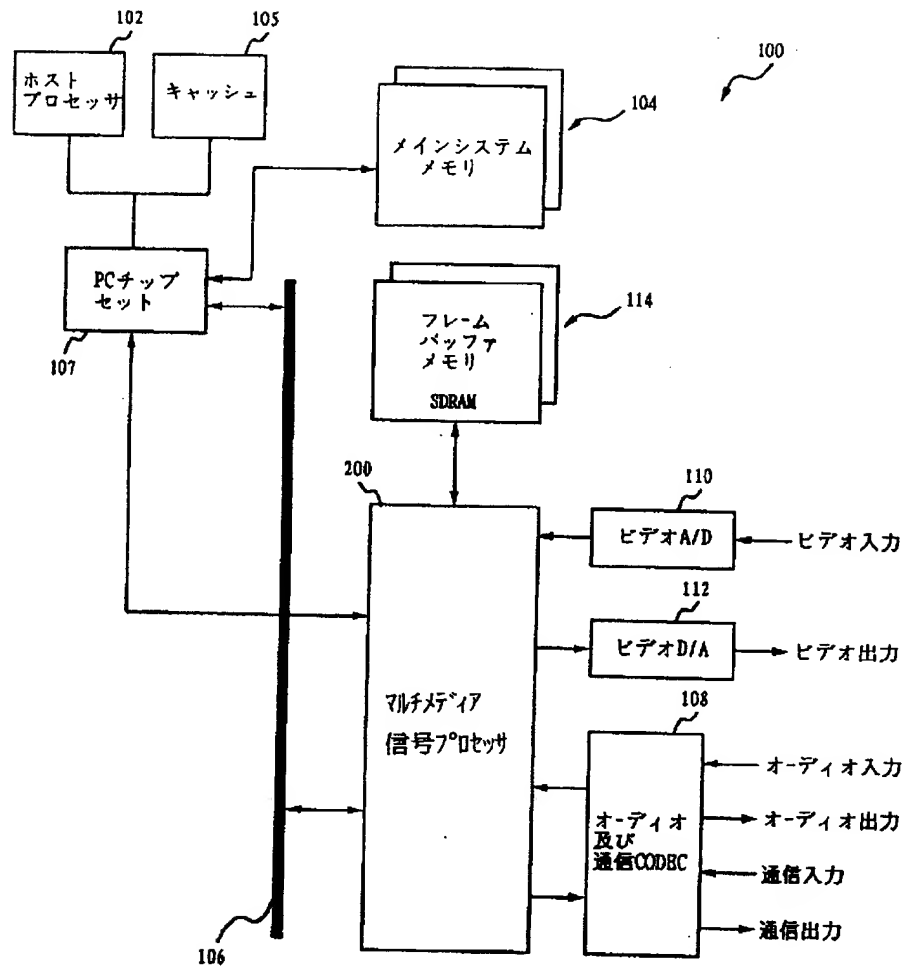
【符号の説明】

- 100 マルチメディアマイクロプロセッサシステム
- 102 ホストプロセッサ
- 104 システムメモリ
- 105 キャッシュ
- 106 システムバス
- 108 オーディオ及び通信コーデック
- 110 A/Dコンバータ
- 112 D/Aコンバータ
- 114 フレームバッファSDRAMメモリ
- 200 マルチメディア信号プロセッサ
- 201 DSPコア
- 204 コプロセッサ
- 208 キャッシュサブシステム
- 210 高速バス
- 212 I/Oバス
- 224 メモリデータ移送器
- 234 ビットストリームプロセッサ

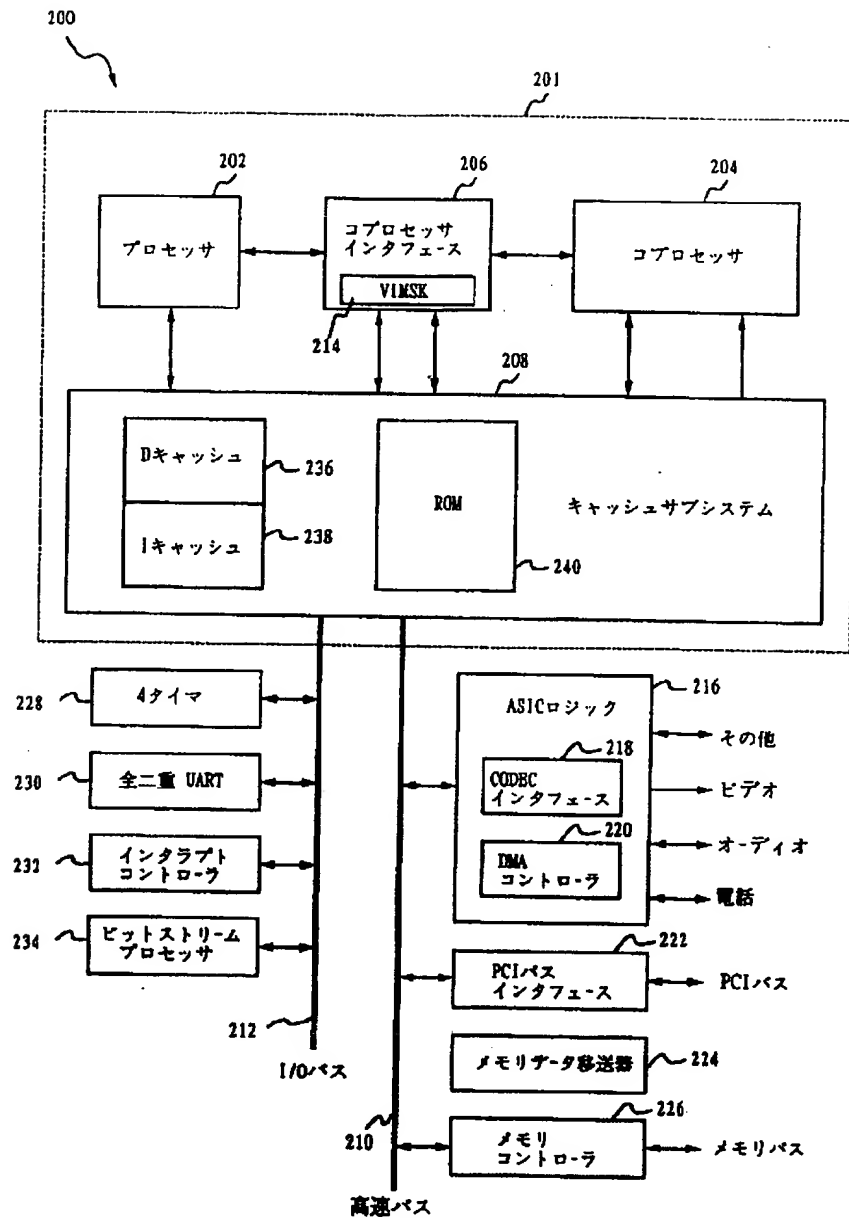
【図4】



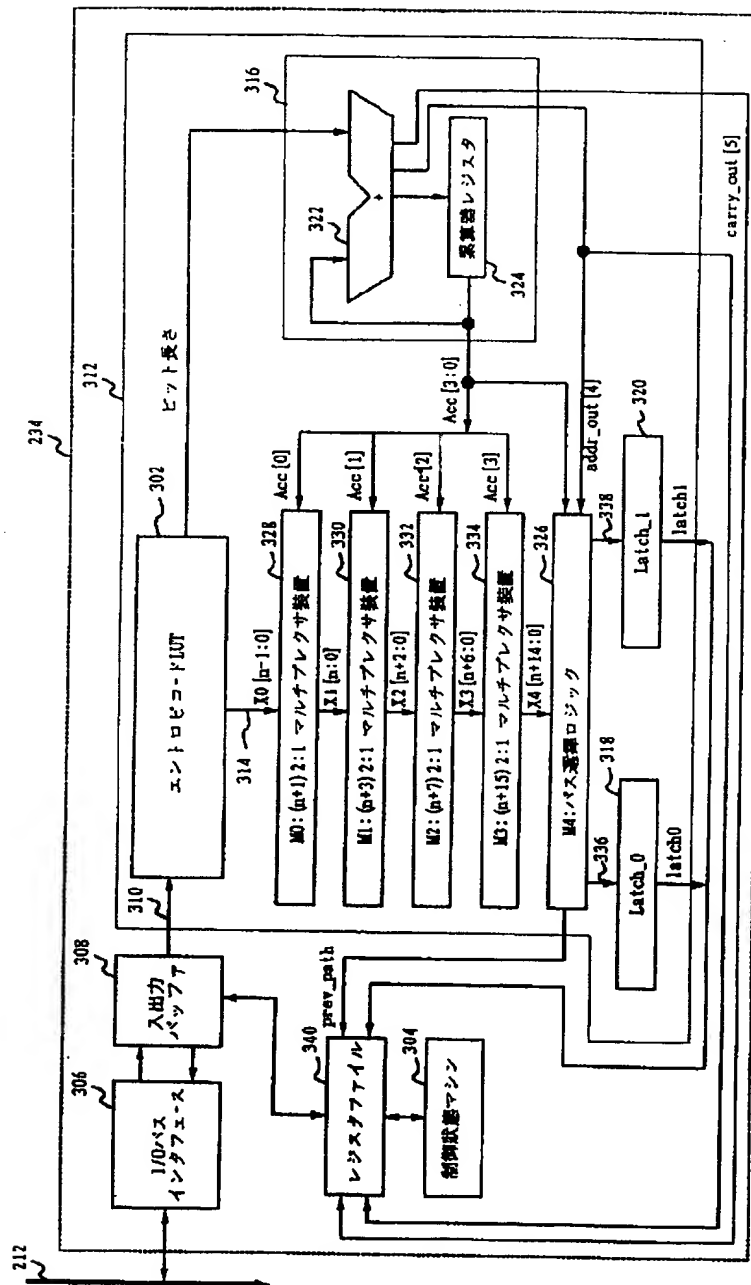
【図1】



【図2】



【図 3】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.